【おまけ】25LC1024の使い方

25LC1024 には 8 ビットの命令レジスタが含まれ、デバイスにアクセスするには、まずコマンドを送信し、その後、必要なデータの送信・受信を行います。

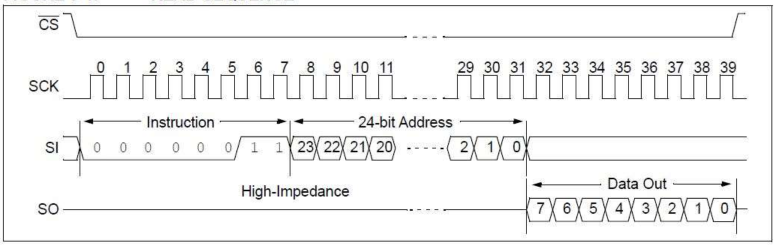
TABLE 3-1: INSTRUCTION SET

Instruction Name	Instruction Format	Description
READ	0000 0011	Read data from memory array beginning at selected address
WRITE	0000 0010	Write data to memory array beginning at selected address
WREN	0000 0110	Set the write enable latch (enable write operations)
WRDI	0000 0100	Reset the write enable latch (disable write operations)
RDSR	0000 0101	Read STATUS register
WRSR	0000 0001	Write STATUS register
PE	0100 0010	Page Erase – erase one page in memory array
SE	1101 1000	Sector Erase – erase one sector in memory array
CE	1100 0111	Chip Erase – erase all sectors in memory array
RDID	1010 1011	Release from Deep power-down and read electronic signature
DPD	1011 1001	Deep Power-Down mode

＜ データ読み取り ＞

デバイスは、CS をローにすることで選択されます。8 ビットの READ 命令を 25LC1024 に送信し、その後に 24 ビットのアドレスを送信します。アドレスの上位 7 ビットは「don’t care」ビットです。正しく送信されると、選択アドレスのメモリに格納されているデータが SO ピンにシフト アウトされます。次のアドレスのメモリに格納されているデータは、クロック パルスを継続的に提供することで、順番に読み取ることができます。内部アドレス ポインタは、データの各バイトがシフト アウトされるたびに、次の上位アドレスに自動的に増加します。最高アドレス（1FFFFh）に達すると、アドレスカウンタはアドレス 00000h にロールオーバーし、読み取りサイクルを無期限に継続できます。

FIGURE 3-1: READ SEQUENCE

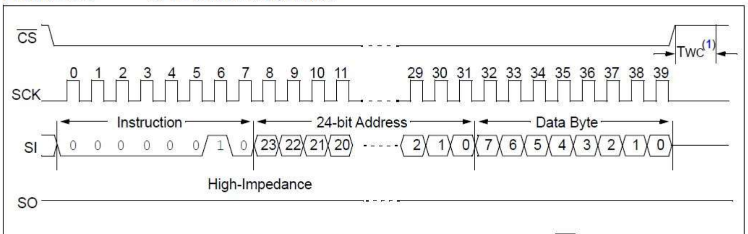


＜ データ書き込み ＞

25LC1024 にデータを書き込む前に、WREN 命令を発行して書き込みイネーブル ラッチを設定する必要があります 。命令の 8 ビットすべてが送信された後、一端 CS をハイにして書き込みイネーブルラッチを設定する必要があります。

書き込みイネーブル ラッチが設定されると、再び CS をローに設定し、WRITE 命令を送信し、続いて 24 ビットのアドレス（アドレスの上位 7 ビットは don't care）を送信し、最後に書き込むデータを送信します。この時、続けて（同一ページ内で）最大 256 バイトのデータをデバイスに送信できます。データを実際にアレイに書き込むには、最後のデータバイト送信後 CS をハイにする必要があります。書き込みサイクルが完了すると、書き込みイネーブル ラッチ（WEL）がリセットされます。

FIGURE 3-2: BYTE WRITE SEQUENCE



Note 1: This sequence initiates a self-timed internal write cycle on the rising edge of CS after a valid sequence.

＜ステータスレジスタ＞

TABLE 3-2: STATUS REGISTER

7	6	5	4	3	2	1	0
W/R	–	–	–	W/R	W/R	R	R
WPEN	X	X	X	BP1	BP0	WEL	WIP

Note 1: W/R = writable/readable. R = read-only.

書き込み中（WIP）ビットは、25LC1024　が書き込み操作でビジーかどうかを示します。「1」に設定すると書き込みが進行中で、「0」に設定すると書き込みは進行中ではありません。このビットは読み取り専用です。書き込み有効ラッチ（WEL）ビットは書き込み有効ラッチの状態を示し、読み取り専用です。「1」に設定するとラッチはアレイへの書き込みを許可し、「0」に設定するとラッチはアレイへの書き込みを禁止します。このビットの状態は、STATUS　レジスタの書き込み保護の状態に関係なく、WREN コマンドまたは WRDI コマンドによって常に更新できます。ブロック保護（BP0 および BP1）ビットは、現在書き込み保護されているブロックを示します。

TABLE 3-3: ARRAY PROTECTION

BP1	BP0	Array Addresses Write-Protected	Array Addresses Unprotected
0	0	none	All (Sectors 0, 1, 2 & 3) (00000h-1FFFFh)
0	1	Upper 1/4 (Sector 3) (18000h-1FFFFh)	Lower 3/4 (Sectors 0, 1 & 2) (00000h-17FFFh)
1	0	Upper 1/2 (Sectors 2 & 3) (10000h-1FFFFh)	Lower 1/2 (Sectors 0 & 1) (00000h-0FFFFh)
1	1	All (Sectors 0, 1, 2 & 3) (00000h-1FFFFh)	none

25LC1024 には書き込み許可ラッチが含まれています。このラッチは、書き込み操作が内部で完了する前に設定する必要があります。WREN 命令はラッチを設定し、WRDI はラッチをリセットします。

TABLE 3-4: WRITE-PROTECT FUNCTIONALITY MATRIX

WEL (SR bit 1)	WPEN (SR bit 7)	$\overline{WP}$ (pin 3)	Protected Blocks	Unprotected Blocks	STATUS Register
0	x	x	Protected	Protected	Protected
1	0	x	Protected	Writable	Writable
1	1	0 (low)	Protected	Writable	Protected
1	1	1 (high)	Protected	Writable	Writable

Note 1: x = don't care

外部の WP（3）ピンは WEL=1,WPEN=1 の状態に設定しないと有効になりません。
メモリにデータを書き込むときは、事前に WREN 命令を、必ず実行する必要があります。

STATUS　レジスタ読み取り命令（RDSR）は、STATUS　レジスタへのアクセスを提供します。STATUS　レジスタは、書き込みサイクル中でもいつでも読み取ることができます。
すなわち、WIP ビットをチェックすることで、操作がビジーかいつでも確認できます。

FIGURE 3-6: READ STATUS REGISTER TIMING SEQUENCE (RDSR)

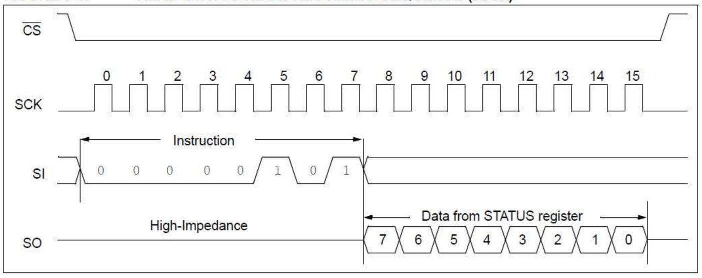
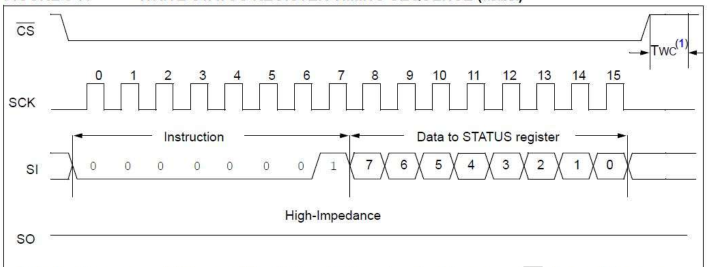


FIGURE 3-7: WRITE STATUS REGISTER TIMING SEQUENCE (WRSR)

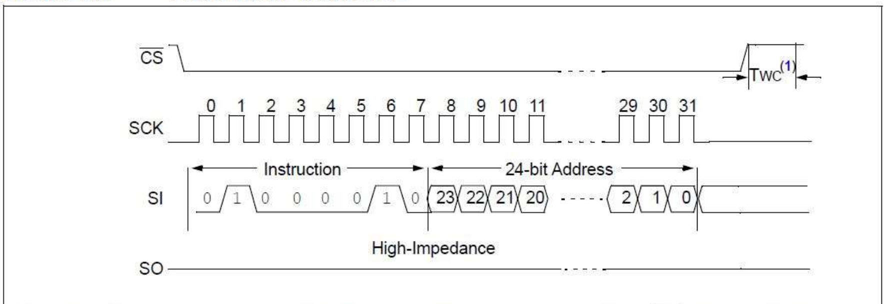


Note 1: This sequence initiates a self-timed internal write cycle on the rising edge of $\overline{CS}$ after a valid sequence.

＜ページ消去＞　　　　最大 6mS

ページ消去命令は、指定されたページ(256byte/page)内のすべてのビットを（FFh に)消去します。ページ消去を試みる前に、書き込みイネーブル（WREN）命令を与える必要があります。命令の 8 ビットすべてが送信された後、CS をハイにして書き込みイネーブル ラッチを設定する必要があります。

FIGURE 3-8:　PAGE ERASE SEQUENCE

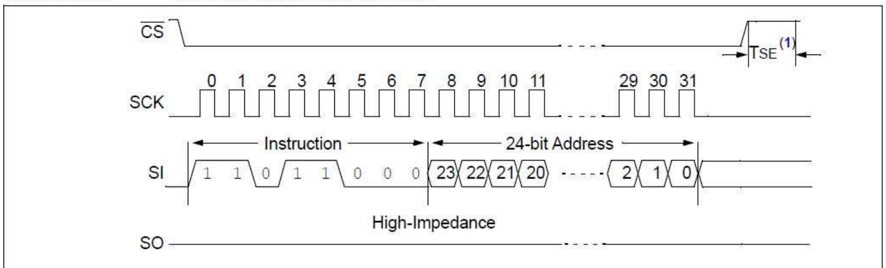


Note 1: This sequence initiates a self-timed internal write cycle on the rising edge of $\overline{CS}$ after a valid sequence.

＜セクター消去＞　　最大 10mS

セクター消去命令は、指定されたセクター(32Kbyte/sector)内のすべてのビットを（FFh に)を消去します。セクター消去を試みる前に、書き込みイネーブル（WREN）命令を与える必要があります。命令の 8 ビットすべてが送信された後、CS をハイにして書き込みイネーブル ラッチを設定する必要があります。

FIGURE 3-9:　SECTOR ERASE SEQUENCE

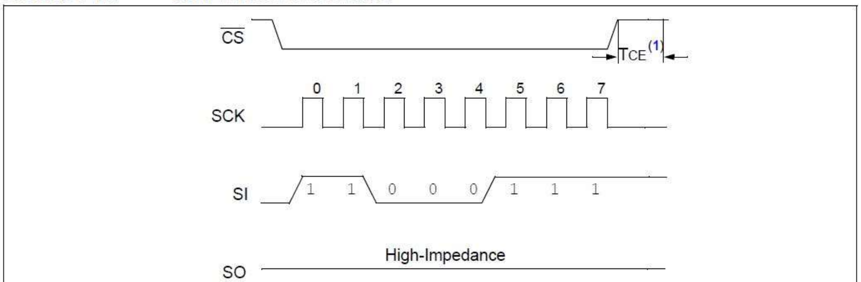


Note 1: This sequence initiates a self-timed internal write cycle on the rising edge of $\overline{CS}$ after a valid sequence.

＜チップ消去＞　最大 10mS

チップ消去命令は、アレイ内のすべてのビット を(FFh に)消去します。チップ消去を実行する前に、書き込みイネーブル（WREN）命令を与える必要があります。命令の 8 ビットすべてが送信された後、CS をハイにして書き込みイネーブル ラッチを設定する必要があります。

FIGURE 3-10:　CHIP ERASE SEQUENCE



Note 1: This sequence initiates a self-timed internal write cycle on the rising edge of $\overline{CS}$ after a valid sequence.

＜その他＞

※　この他、パワーダウンモードなどがあるが、その詳細はデータシートを参照

https://ww1.microchip.com/downloads/en/DeviceDoc/22064B.pdf